

**LIQUIDCRYSTAL DISPLAY PANEL**

JP-B-63-21907

Patent number: JP56091277  
Publication date: 1981-07-24  
Inventor: TOGASHI SEIGO  
Applicant: CITIZEN WATCH CO LTD  
Classification:  
- international: G02F1/133; G09F9/00; G09F9/35  
- european: G02F1/1343A8; G02F1/1362; G09G3/36C8; G09G3/36C8C; G09G3/36C8M  
Application number: JP19790167542 19791225  
Priority number(s): JP19790167542 19791225

[View INPADOC patent family](#)

Also Published : US4345249 (A1);GB2069213 (A)

Abstract not available for JP56091277

Abstract of corresponding document: **US4345249**

In a matrix type of liquid crystal display panel, in which an individual switching element is provided on the panel for each of the display elements, the electrodes of each display element comprise a first comb-shaped electrode pattern, to which a display signal voltage is applied through a switching element, and a second comb-shaped electrode pattern which is held at a reference potential, with the first and second comb-shaped patterns being mutually intermeshed and formed upon a single substrate of the panel, whereby application of a display signal voltage causes an electric field to be produced in a direction substantially parallel to the substrate plane to thereby act upon the liquid crystal, rather than in a direction normal to the substrate plane as in the case of a conventional type of liquid crystal display panel.

Claims of corresponding document: **US4345249**

What is claimed is:

1. In a liquid crystal display panel having a layer of liquid crystal material enclosed between a pair of substrates, a set of row electrodes and a set of column electrodes formed on said substrates to mutually intersect, a plurality of display electrodes arranged in positions corresponding to intersections of said row and column electrodes, a plurality of switching elements each coupled between an intersection of said row and column electrodes and a corresponding one of said display electrodes, a source of scanning signals for selectively rendering said switching elements conductive and a source of display signal voltages, said display signal voltages being selectively applied to said display electrodes through said switching elements in response to said scanning signals, and a reference electrode which is held at a predetermined potential, the improvement whereby said display electrodes are arranged in relationship to said reference electrode such that an electric field is applied to said liquid crystal material in a direction having at least a component directed parallel to the plane of said substrates in response to a potential difference between said display signal voltage applied to one of said display electrodes and the potential of said reference electrode.

2. The improvement according to claim 1, wherein both said display electrodes and said reference electrode are formed upon a single one of said substrates.

⑬ 日本国特許庁(JP)

⑭ 特許出願公告

⑫ 特許公報(B2)

昭63-21907

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑯公告 昭和63年(1988)5月10日

G 09 F 9/30  
G 02 F 1/1333 3 9  
3 2 36866-5C  
7370-2H

発明の数 1 (全8頁)

⑰ 発明の名称 液晶表示パネル

⑱ 特 願 昭54-167542

⑲ 公 開 昭56-91277

⑳ 出 願 昭54(1979)12月25日

㉑ 昭56(1981)7月24日

㉒ 発 明 者 富 樫 清 吾 埼玉県所沢市大字下富字武野840 シチズン時計株式会社  
技術研究所内

㉓ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

㉔ 代 理 人 弁理士 金山 敏彦

審 査 官 湯 原 忠 男

1

2

## ⑳ 特許請求の範囲

1 パネル基板の表面に配設され互いに直交する多数の行電極および列電極と、これらの行電極および列電極の各交点に対応してマトリックス状に配設されたスイッチング素子と、このスイッチング素子を介して駆動電圧が印加される表示用電極と、一对のパネル基板の間に挟持され前記表示用電極と基準電極との間に印加される電圧により駆動される液晶表示要素とを有するスイッチング素子内蔵型の液晶表示パネルにおいて、前記表示用電極と基準電極とは相互に咬合するくし歯状電極としていずれも前記一对のパネル基板の一方の基板表面に配設されており、前記液晶表示要素は前記パネル基板の表面に平行な成分を有する電界により駆動されることを特徴とする液晶表示パネル。

2 行電極および列電極の一方が、基準電極を兼ねることを特徴とする特許請求の範囲第1項に記載の液晶表示パネル。

## ㉑ 発明の詳細な説明

本発明はスイッチング素子をパネル上に設けたスイッチング素子内蔵型の液晶表示パネルの改良にかかわり、詳しくは液晶への電圧印加法を工夫する事により消費電力、スイッチング速度や製造性を大巾に改善するものである。

液晶表示パネルは低電力、低電圧という他の表示装置にない特徴を有し、電卓、時計等の携帯機器を中心に広く用いられている。しかし表示特性

は電圧に対し鋭い閾値特性を持たない為、高分割のマルチプレックス駆動には適さない。そこで高分割のマルチプレックス駆動を可能とする為にスイッチング素子を各表示要素毎に配置する方式(スイッチング素子内蔵方式)が提案されている(参照、B.J.Lechner et al、Proc.IEEE vol、59、Nov.1971.P.1566~1579) スイッチング素子内蔵方式は、いかなる高分割のマルチプレックス駆動でもクロストークが原理的には存在しない優れた方式である。

しかし現実的には幾つかの問題点が存在し、本来の優れた特性を生かして実用化されるに至っていない。従来のスイッチング素子内蔵方式の液晶表示パネルの問題点としては、消費電力、相互配線、及び製造性等が挙げられる。本発明は液晶に対する電圧印加方向を、従来のパネル平面に垂直方向から平行方向の成分を含む方向とする事により、有害な寄生容量を低減し、従来の問題点を改善したものである。

20 本発明の説明に先立ち、従来のスイッチング素子内蔵方式の液晶表示パネルについて述べる。第1図は表示パネルの説明図である。1、2は基板であり、3は液晶層である。第1の基板1には基準電極Zが、第2の基板2には行電極、列電極及びスイッチング素子、表示用電極等を含む層5がそれぞれ形成されている。第2図は表示部の等価回路である。X(X<sub>1</sub>~X<sub>n</sub>)は列電極、Y(Y<sub>1</sub>~Y<sub>m</sub>)は行電極であり、該行電極及び列電極の交

点に対応する領域にスイッチング素子Sが配置され、液晶表示要素LCはスイッチング素子Sと表示用電極Aにより接続され、他の一端は基準電極Zに接続される。

第4図は行電極Y<sub>j</sub>と列電極X<sub>i</sub>の交点に対応する一単位要素に於ける一方の基板2上の各素子の配置例である。行電極Y<sub>j</sub>、Y<sub>j+1</sub>と列電極X<sub>i</sub>、X<sub>i+1</sub>により囲まれた領域が一単位要素に対応しスイッチング素子S<sub>ij</sub>は行電極Y<sub>j</sub>、列電極X<sub>i</sub>と表示用電極A<sub>ij</sub>に接続される。もう一方の基板上には基準電極Zが全面に形成されており、表示用電極A<sub>ij</sub>と基準電極Zとの間に挟まれる第4図斜線部に対応した液晶層が液晶表示要素LC<sub>ij</sub>を構成する。

第3図は表示パネルを含む表示装置全体のブロック図であり、6は行電極Y<sub>1</sub>~Y<sub>m</sub>に線順次式の走査信号を供給する行電極駆動回路、7は表示情報処理回路8より入力される表示情報に基づいて列電極X<sub>1</sub>~X<sub>n</sub>に表示信号を印加する列電極駆動回路、9は各回路に様々のクロック信号を、供給するクロック回路である。行電極Y<sub>1</sub>~Y<sub>m</sub>は走査信号により順次選択され、選択された行電極に接続されたスイッチング素子が導通してその時の表示信号が表示用電極Aを介して液晶表示要素に書込まれ、他の行の選択期間中はスイッチング素子が非導通となり書き込まれた電圧を保持する。この様にスイッチング素子内蔵方式ではクロストークが全く起らない表示が可能である。

以上の様な従来例に於ける最大の欠点の1つは従来の表示パネル構造に起因する寄生容量である。

第5図は従来の表示パネルの断面図である。従来例では、一方の基板1上に基準電極Zが形成され表示用電極Aとで挟まれた領域の液晶表示要素LCに電圧を印加している。問題はスイッチング素子Sに接続され、それぞれ走査信号及び表示信号を供給する行電極Y及び列電極Xも必然的に基準電極Zと対向してしまう点にあり、それぞれ寄生容量C<sub>yz</sub>、C<sub>xz</sub>を生じてしまう。スイッチング素子を用いない液晶表示パネルでは液晶表示要素の領域以外では両基板上の電極は対向しない様にすることが可能であつたが、スイッチング素子内蔵方式では行電極及び列電極が一方の基板上に基盤の目状に配置され他の基板上には基準電極が全面

に形成されている為、C<sub>xz</sub>、C<sub>yz</sub>の様な寄生容量は避け得なかつた。

C<sub>xz</sub>、C<sub>yz</sub>の様な寄生容量は消費電力に大きな影響を及ぼす。表示パネル上の消費電力としては、まず液晶表示要素を駆動する為のエネルギーが必要である。電界効果型の液晶表示を例にとると各表示要素LCは電気的には容量C<sub>lc</sub>と近似される。よつてC<sub>lc</sub>を充放電する為のエネルギーが表示の為に必要な消費電力W<sub>disp</sub>に対応する。しかし、従来の表示パネルを駆動する為の消費電力はW<sub>disp</sub>の数10~数百倍にも昇っている。この原因が寄生容量C<sub>xz</sub>、C<sub>yz</sub>である。今、行電極及び列電極の巾をw、数をそれぞれn、表示部の面積をW×W液晶層厚d、液晶の誘電率εとする。各液晶表示要素の容量C<sub>lc</sub>はε(W/n - w)<sup>2</sup>/d程度となる。又各列電極及び行電極一本当りの寄生容量C<sub>xz</sub>、C<sub>yz</sub>はεW・w/d程度となる。C<sub>lc</sub>を充放電する為には列電極の寄生容量C<sub>xz</sub>も充放電しなくてはならない。C<sub>xz</sub>/C<sub>lc</sub>≒W・w/(W/n・w)<sup>2</sup>は例えばW≒50mm、n≒500、w≒20μmとすると156程度、電極巾wを10μmとしても62程度となり、この程度の寸法でもC<sub>xz</sub>により消費される電力はC<sub>lc</sub>により消費される電力の156倍又は62倍となる。行電極Y<sub>1</sub>~Y<sub>m</sub>の寄生容量C<sub>yz</sub>による効果は、行電極に印加される走査信号のスイッチング回数が少ない為充放電回数も小さく、C<sub>xz</sub>程は大きくない。しかし行電極Y<sub>1</sub>~Y<sub>m</sub>はスイッチング素子のゲートに接続され、スイッチング素子がCdSeやa-Siを用いた薄膜素子の場合では、ゲート電圧V<sub>g</sub>は表示信号電圧よりかなり大きいから、消費電力∝C<sub>xz</sub> V<sub>g</sub><sup>2</sup>の効果も無視出来ない。以上の如く寄生容量C<sub>xz</sub>、C<sub>yz</sub>の為に消費される電力は真に表示に必要な電力の数10~数百倍となる。

寄生容量C<sub>xz</sub>、C<sub>yz</sub>等は周辺回路が必要とする応答速度にも大きな影響を及ぼす。スイッチング素子を介して容量Cを充放電する場合、充放電時間Tはスイッチング素子のオン抵抗R<sub>on</sub>とCの積の逆数(R<sub>on</sub> C)<sup>-1</sup>程度必要である。前述の如くC<sub>xz</sub>/C<sub>lc</sub>≒100であつたから寄生容量C<sub>xz</sub>の存在しない場合と比べ、同じ充放電時間で駆動するにはR<sub>on</sub>が1/100程度でなくてはならない。もし周

辺回路をLSIで構成する場合、 $R_{on}$ を1/100にする為には面積が100倍程度大きなトランジスタが必要であり、回路面積或いは消費電力の点から言っても問題がある。

一方、スイッチング素子内蔵方式では、行電極及び列電極の数は数百本の事が多く、この様な場合表示パネルと周辺回路との相互接続の困難さを防ぐ為に周辺回路部の一部を表示パネルに形成して相互配線の数を減少させる事がある。この様な周辺回路では複数の列電極に供給する表示信号を一本の相互配線で入力しシリアル・パラレル変換により各列電極分配する方法がとられ相互配線を $1/a$ に減らすには $1/a$ 短い時間に応答する回路が必要となる。 $W=50mm$ 、 $n=500$ 、 $w=20mm$ 、 $\epsilon=10\epsilon_0$ 、 $d=10\mu m$ 、フレイム周波数50Hz、 $a=10$ とすると、 $Clc \simeq 0.0SpF$ 、 $Cxz \simeq Cyz \simeq 8pF$ 、必要なスイッチング時間は約4 msecとなり、寄生容量 $Cxz$ がない場合でも $R_{on} < 8 \times 10^7 \Omega$ 、寄生容量がある為 $R_{on} < 5 \times 10^8 \Omega$ が必要であり、製造上のバラツキを考えれば更に余裕を見なければならない。表示パネル上のスイッチング素子としてCdSe、a-Si、Poly-Si等の薄膜素子を用いる場合、薄膜半導体のキャリア移動度が低い為 $R_{on}$ を小さくする事は極めて難しく $R_{on}$ が $10^7 \Omega$ 程度のものなら何とかなるが $10^8 \Omega$ は難しい。この様に寄生容量が存在する為に、周辺回路を表示パネル上に形成する事が極めて困難となつている。

本発明は、従来方式の様に液晶層を挟んで配置される電極（基準電極と表示用電極）を通じて液晶表示要素にパネル平面に垂直な電圧を印加するのではなく、スイッチング素子が構成してある方の基板上に共に配置された少なくとも2種の電極に電圧を印加する事により、該電極の配置された領域の液晶表示要素にパネル平面に平行方向の成分を含む電圧を印加するものである。第6図は従来例の第5図に対応する本発明の説明図である。従来例ではスイッチング素子Sと接続した表示用電極Aはスイッチング素子と同一基板2上にあつたが、表示用電極と共に液晶表示要素LCに電圧を印加する役割を持つ基準電極Zはもう一方の基板2上にあり、液晶表示要素LCに印加される電圧は図中破線の如くパネル平面に垂直であつた。第6図の本発明では基準用電極の役割を果た

す電極Z\*もスイッチング素子と同一の基板上に形成され、表示用電極Aと電極Z\*との間に印加される電圧は図中破線の如くパネル平面に平行な成分を有する様になる。尚、電極Z\*は基準電極Zの事もあるが、行電極Yや列電極Xが役割を兼用する事もある（後述）この様に、本発明では基板1には電極を設ける必要がなく、従来のスイッチング素子内蔵方式で問題となつた寄生容量 $Cxz$ 、 $Cyz$ を大巾に低減可能で消費電力、スイッチング速度等の問題が非常に改善される。本発明は又表示パネル製造の上でも上下基板間の電気的接続や位置合せが不要な点から有利である。以下実施例に基づき説明する。

第7図は本発明の一実施例に於ける一単位要素の素子配置の説明図であり、従来例では第4図に対応する。従来例では表示用電極Aijは液晶表示要素部全面に形成されていた。本実施例では図の様にくし歯状にボタン化されている。一方従来例では、もう一方の基板に形成されていた基準電極Zは、本発明では表示用電極Aijと同一基板上に形成されしかも本例ではAijと組み合つたくし歯状にボタン化されている。本例の様にくし歯状にボタン化する事により電圧を効果的に液晶表示要素に印加する事が可能である。第8図は本例の表示パネルを用いた表示装置のブロック図である。第3図の従来例との相異は基準電極Zが基板2上に形成されている点にある。本例の配置では寄生容量 $Cxz$ 、 $Cyz$ が極めて小さく消費電力、スイッチング速度が大巾に改善される。

第9図は第7図の実施例の変形であり基準電極Zの両側に表示要素を配置している点に特徴がある。本例では電極ボタンが簡略化される。

第7、9図の実施例では基準電極Zを列電極Xに平行に配置したが、第10、11図の実施例では行電極Yに平行に配置している。第7図の例では列電極Xと基準用電極Zが隣接するから従来例よりはるかに少ないが、ある程度の $Cxz$ が存在し、 $Cyz$ は少ない。一方第10図の例では逆に $Cyz$ が存在し、 $Cxz$ は少ない。スイッチング回数は走査信号の方が表示信号よりも大巾に少ないから、 $Cxz$ が少ない方が有利である。第10図の配置が優れている。

第11図は第10図の実施例の変形であり基準電極Zの両側に表示要素を配置している点に特徴

9

ECBモードの表示パネルが得られる。

さらに、液晶層中にイオン性物質を添加して電圧を印加すれば、電流効果型の動的散乱 (DS) モードで使用できることは明らかである。

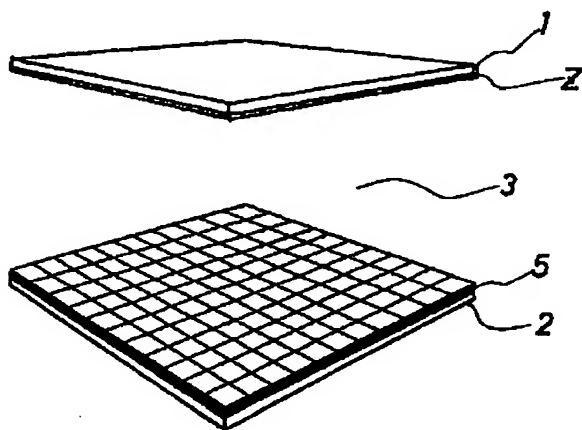
又実施例ではスイッチング素子としてトランジスタを用いて説明したがダイオードやバリスタ等他のスイッチング素子でも良い。又、スイッチング素子は薄膜素子でもバルク素子でも良い。

以上述べた如く、本発明では寄生容量を大巾に低減する事が可能であり、消費電力、スイッチング速度等が改善され製造性にも優れたスイッチング素子内蔵方式の表示パネルが実現可能となる。本発明は表示密度が高く低消費電力が必要な電子時計用の表示パネル等として特に有効である。

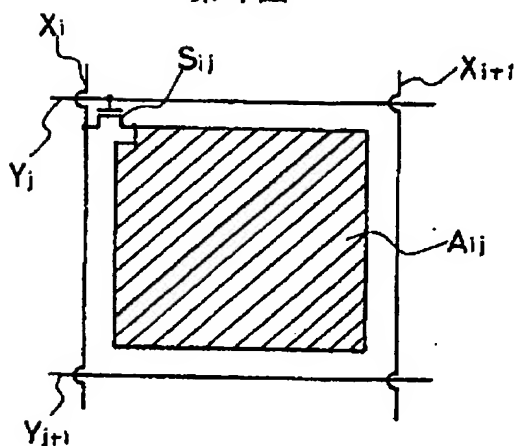
#### 図面の簡単な説明

第1図は従来のスイッチング素子内蔵型の液晶

第1図



第4図



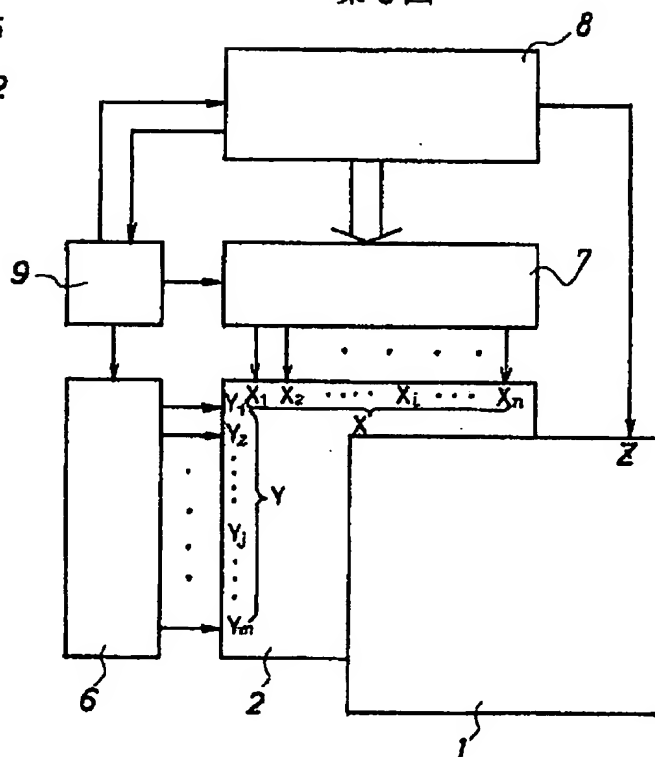
10

表示パネルの説明図、第2図は表示パネルの等価回路図、第3図は表示パネルを含む表示装置のブロック図、第4図は表示パネル上の一単位要素の素子配置の説明図、第5図及び第6図は従来例及び本発明の説明の為の表示パネル断面図、第7、9～13図は本発明の各実施例に於ける表示パネル上の一単位要素の素子配置の説明図、第8図は本発明の表示パネルを用いた表示装置のブロック図。

1, 2……パネル基板、3……液晶層、6……行電極駆動回路、7……列電極駆動回路、X,  $X_1 \sim X_i \sim X_n$ ……列電極、Y,  $Y_1 \sim Y_j \sim Y_m$ ……行電極、S,  $S_{ij}$ ……スイッチング素子、A,  $A_{ij}$ ……表示用電極、L,  $L_{ij}$ ……液晶表示要素、Z

15……基準電極。

第3図



がある。本例では電極ボタンが簡略化される。

第7～11図の実施例では基準電極Zを用いたが、本発明では基準電極Zを用いず、行電極Y又は列電極Xに基準電極の役割を兼用させる事が可能である。第12図はその一例であり、液晶表示要素に印加される電圧は表示用電極Aijと一本隣りの行電極Y<sub>j+1</sub>とにより供給されている。行電極に印加される走査信号の選択電位をVon、非選択電位をVoffとする。行電極Yjが選択されスイッチング素子Sijが導通している時に、表示信号としてVoff+Vの電位を列電極に供給すれば、表示用電極の電位もVoff+Vとなる。この時行電極Y<sub>j+1</sub>は非選択であり電位Voffが印加されているから、液晶表示要素LCの容量C<sub>lc</sub>には(Voff+V)-Voff=Vの電圧が印加され、C<sub>lc</sub>・V=Q<sub>lc</sub>の電荷が表示用電極Aijに蓄積される。次に行電極Y<sub>j+1</sub>が選択されY<sub>j+1</sub>にVonが印加される時、スイッチング素子Sijは非導通であるからQ<sub>lc</sub>は不変であり、Aijの電位は、Von+VとなりAijとY<sub>j+1</sub>の間の電圧Vは保持される。YjもY<sub>j+1</sub>も非選択の期間ではY<sub>j+1</sub>はVoffの電位、AijはVoff+Vの電位をとり、電圧Vは保持される。以上の如くスイッチング素子の特性がVon+V程度の電圧でも良好であれば、本例の如く行電極Yに従来の基準電極Zの役割を兼ねさせる事が可能である。本例では電極配置が極めて簡素化され表示面積の利用効率が高く製造性や消費電力、駆動回路構成の点でも優れている。

尚、第12図では隣りの行電極Y<sub>j+1</sub>に基準電極の役割を兼ねさせたが、Yjにその役割を持たしてもよい。

第13図は列電極X<sub>i+1</sub>に基準電極の役割を兼ねさせた一例である。この場合には走査信号によってXiとX<sub>i+1</sub>に印加された表示信号の差電圧が液晶表示要素LCijに印加、保持される。本例では表示信号の処理がやや煩雑となるが表示パネル上の構成は簡略化される。

第12、13図の如く行列電極Y、Xと表示用電極Aにより液晶表示要素に電圧を印加する方式の表示パネルを用いた表示装置のブロック図は第9図で基準電極Z及びその駆動部を除いたものに対応する。

以上の第7～13図で説明した各実施例に於いて表示用電極A及び基準電極の役割をする電極

Z\*(基準電極Z、行電極Y、列電極X)は金属等の不透明電極でも、In<sub>2</sub>O<sub>3</sub>:Sn、SnO<sub>2</sub>等の透明電極でも良い。くし歯が組み合った部分が表示部に対応するから、少なくともこの部分は透明電極の方が好ましいが、金属膜の微細エッチング技術を用いて電極巾を十分、小さくすれば金属電極でも十分である。この部分は若干の断線は目立たなければ許容されるから電極巾が1μm程度の極細ボタンも可能である。くし歯状電極形成プロセスは他の電極(行電極Y、列電極X、基準電極Zや表示用電極Aの配線部等)と同一工程で作つても良いし、別工程で作つてもよい。各電極の接続はスルーホール等を利用しても良い。

本発明に用いる液晶表示の動作モードは電圧効果型のツイステッド・ネマチック(TN)モード、ゲスト・ホスト(GH)モード、電界制御複屈折(ECB)モード等でもよく又、電流効果型の動的散乱(DS)モード等でも良い。いずれのモードでもくし歯状電極等によるパネル平面に平行な電圧によつて表示を行う事が可能である。

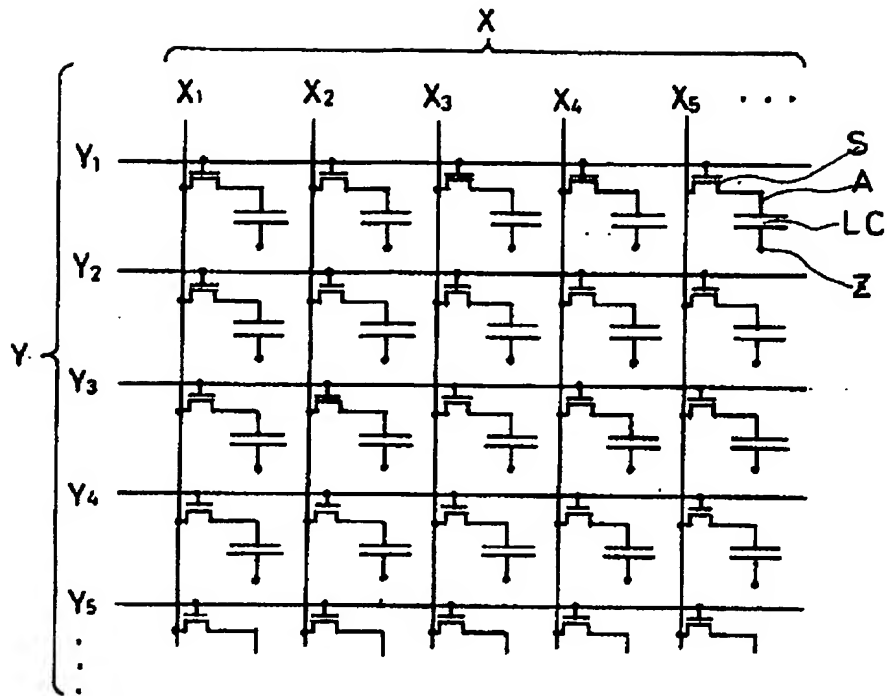
すなわち、くし歯状電極を配設したパネル基板表面に、くし歯と平行な方向に配向処理を施し、正の誘電異方性をしめすネマチック液晶を接触させると、液晶分子はくし歯と平行な方向に配向するが、互いに咬合するくし歯電極の間に電圧を印加すると、くし歯と直交する電界により液晶分子は電界の方向に向きを変える。このようにして、パネル基板の表面内で液晶分子を90°回転することができる。

したがつてホモジュニアス配向のネマチック液晶層を90°ツイスト配向に転換することが可能となり、またその逆も可能である。

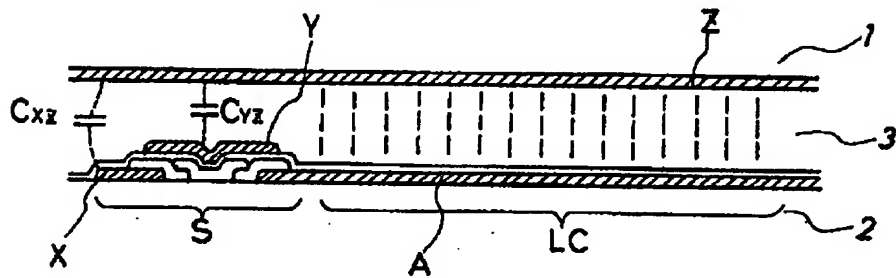
このような液晶パネルを一对の偏光板の間に配置すれば、TNモードの表示パネルが得られ、液晶層中に二色性染料を添加して一枚の偏光板と組み合わせればGHモードの表示パネルとなる。

また、一对のパネル基板の表面にいずれも垂直配向処理を施して電圧無印加状態でホメオトロピック配向の液晶層を構成し、これにくし歯状電極を介して電圧を印加すると、電極の近傍の液晶分子はパネル基板の表面と平行に配列し、平行に配列する液晶層の厚さは電圧の大きさにより変えられる。したがつて複屈折の大きさを電圧により制御することが可能であり、偏光板と組合せれば

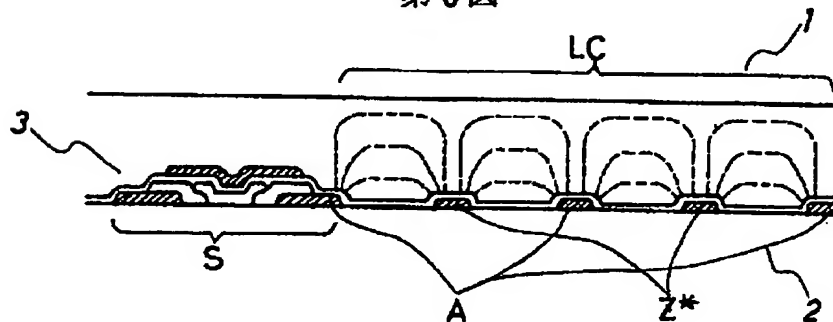
第2図



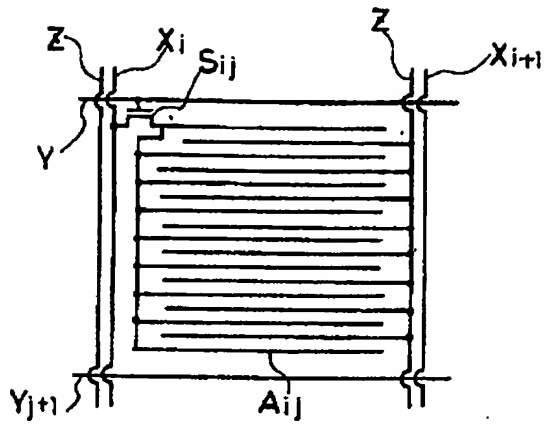
第5図



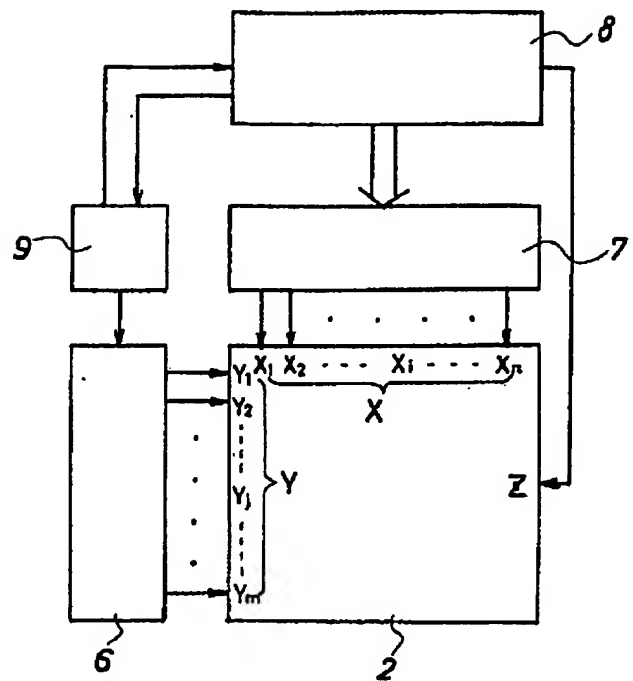
第6図



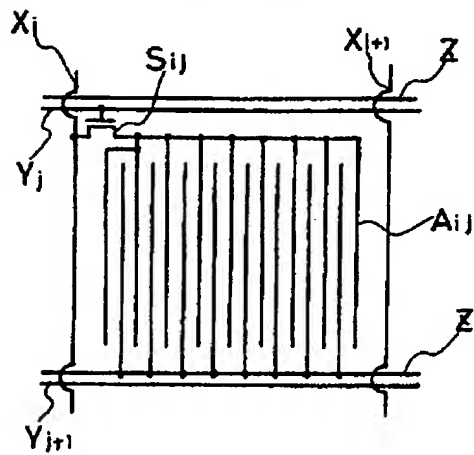
第 7 図



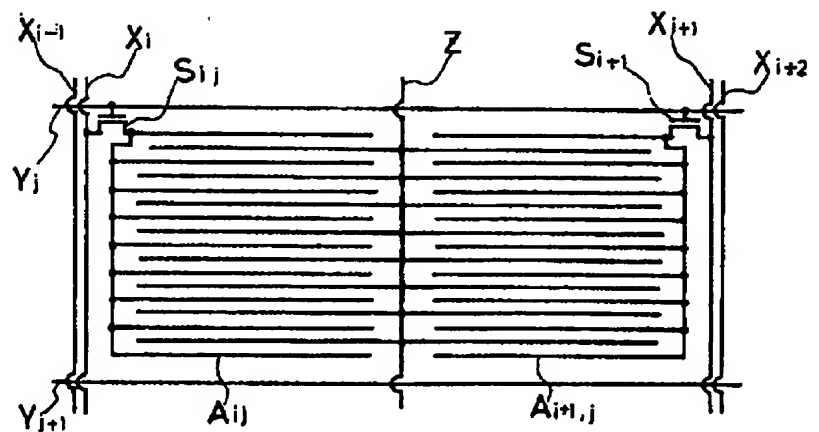
第 8 図



第 10 図

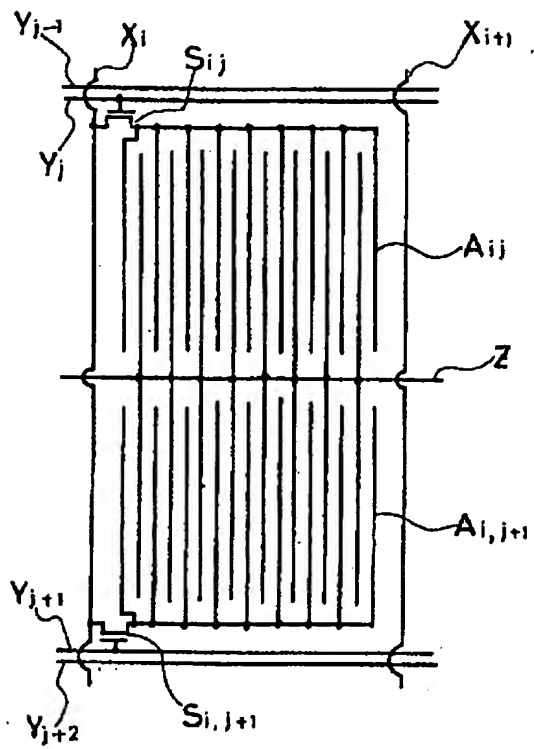


第 9 図

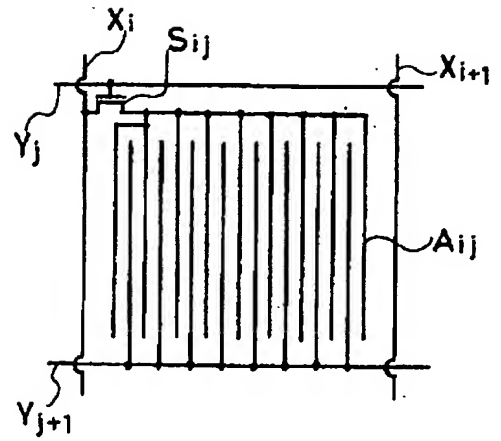




第 11 図



第 12 図



第 13 図

